

PATENT  
81784.0301

Express Mail Label No. EV 324 112 000 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Mitsuru OKIGAWA

Serial No: Not assigned

Filed: February 5, 2004

For: Semiconductor Integrated Device Including  
Support Substrate Fastened Using Resin,  
and Manufacturing Method Thereof

Art Unit: Not assigned

Examiner: Not assigned

**TRANSMITTAL OF PRIORITY DOCUMENT**

Mail Stop PATENT APPLICATION

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith are certified copies of Japanese patent application Nos. 2003-029957 filed February 6, 2003 and 2003-383430 filed November 13, 2003, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: February 5, 2004

By: 

Anthony J. Orler

Registration No. 41,232

Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900

Los Angeles, California 90071

Telephone: 213-337-6700

Facsimile: 213-337-6701

Translation of Priority Certificate

JAPAN PATENT OFFICE

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application: February 6, 2003

Application Number: Patent Application No. 2003-029957  
[ST.10/C] [JP2003-029957]

Applicant(s): SANYO ELECTRIC CO., LTD.

January 13, 2004

Commissioner, Yasuo IMAI  
Japan Patent Office

Priority Certificate No. 2003-3110756

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    2 月    6 日  
Date of Application:

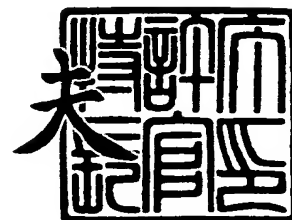
出 願 番 号                      特 願 2 0 0 3 - 0 2 9 9 5 7  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 0 2 9 9 5 7 ]

出      願      人                      三 洋 電 機 株 式 有 限 公 司  
Applicant(s):

2 0 0 4 年    1 月 1 3 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 1 1 0 7 5 6

【書類名】 特許願

【整理番号】 KAB1030002

【提出日】 平成15年 2月 6日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明者】

    【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社  
社内

    【氏名】 沖川 満

【特許出願人】

    【識別番号】 000001889

    【氏名又は名称】 三洋電機株式会社

【代理人】

    【識別番号】 100075258

    【弁理士】

    【氏名又は名称】 吉田 研二

    【電話番号】 0422-21-2340

【選任した代理人】

    【識別番号】 100096976

    【弁理士】

    【氏名又は名称】 石田 純

    【電話番号】 0422-21-2340

【手数料の表示】

    【予納台帳番号】 001753

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1



【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体集積回路が形成された半導体チップと、前記半導体チップの少なくとも一面に積層される支持基体と、を備え、

前記半導体チップと前記支持基体との間に微小粒子の混合された樹脂が充填され、前記半導体チップと前記支持基体との間隔が前記微小粒子の最大粒径よりも大きいことを特徴とする半導体集積装置。

【請求項 2】 請求項 1 に記載の半導体集積装置において、

前記半導体チップのうち少なくとも前記半導体集積回路が形成された素子有効領域で、前記半導体チップと前記支持基体との間隔が前記微小粒子の最大粒径よりも大きいことを特徴とする半導体集積装置。

【請求項 3】 半導体集積回路が形成された半導体基板の少なくとも一面に微小粒子の混合された樹脂を塗布し、前記樹脂を挟んで前記半導体基板に支持基体を積層する第 1 の工程と、

前記半導体基板に対して前記支持基体を押し当てる第 2 の工程と、を備え、

前記第 2 の工程は、前記半導体基板と前記支持基体との間隔を前記微小粒子の最大粒径よりも大きく保持しつつ前記半導体基板に前記支持基体を押し当てることを特徴とする半導体集積装置の製造方法。

【請求項 4】 請求項 3 に記載の半導体集積装置の製造方法において、

前記第 2 の工程の後に、前記樹脂に熱処理を施して熱硬化させる工程をさらに有し、

前記第 2 の工程は、前記熱硬化工程の際に前記樹脂の膜厚が収縮する収縮量と前記微小粒子の最大粒径とを合計した大きさより前記半導体基板と前記半導体支持基体との間隔を大きく保持することを特徴とする半導体集積装置の製造方法。

【請求項 5】 請求項 3 又は 4 に記載の半導体集積装置の製造方法において、

前記第 1 の工程の前に、前記半導体基板の裏面をエッチングして前記半導体基板の厚みを薄くする工程をさらに有することを特徴とする半導体集積装置の製造

方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、微小粒子が混合された樹脂を挟んで半導体チップの少なくとも一面に支持基体が接着される半導体集積装置及びその製造方法に関する。

【0 0 0 2】

【従来の技術】

近年、半導体集積装置が実装されるチップのサイズを小型化するために、ボールグリッドアレイ型（BGA）等のチップサイズパッケージ（CSP）が広く用いられるようになってきている。例えば、CCDイメージセンサを利用したデジタルカメラを小型化するために、チップサイズパッケージはCCDイメージセンサの実装に採用されている。

【0 0 0 3】

図8は、チップサイズパッケージを適用した半導体集積装置を表面側及び裏面側から斜視した一例である。

【0 0 0 4】

半導体チップ10の表面及び裏面には第1及び第2の支持基体12，14が絶縁樹脂16，17によって接着され、半導体チップ10は第1及び第2の支持基体12，14によって構造的な強度を高められると共に、外部からの汚染から保護される。第2の支持基体14の外部表面にはボール状端子18が複数設けられ、半導体チップ10の内部配線とボール状端子18とが外部配線20によって接続される。半導体チップ10に対してはボール状端子18を用いて外部素子とのコンタクトをとることができる。

【0 0 0 5】

図9に、チップサイズパッケージを適用した半導体集積装置のプロセスフロー図を示す。ここでは、説明を明確にするために、半導体基板22の一部を拡大して模式的に示している。半導体基板22の表面にスクライブラインで区画された個々の半導体集積回路24が形成される。半導体集積回路24上には酸化膜等の

絶縁膜 26 が成膜され、半導体集積回路 24 内の配線と接続される内部配線 28 が配置される。内部配線 28 は、半導体集積回路 24 と外部とのコンタクトをとるために用いられる (S10)。

#### 【0006】

次に、半導体基板 22 の表面に接着剤となる絶縁樹脂材料 16 を挟んで第 1 の支持基体 12 が接着され、この後、半導体基板 22 の裏面側からグラインド処理が施されて半導体基板 22 が薄膜化される。次に、半導体集積回路 24 を区画するスクライブラインに沿って半導体チップ 10 の裏面側からエッチング処理が施され、隣接する半導体集積回路 24 の間の絶縁樹脂 16 が露出される (S12)

。

#### 【0007】

次に、半導体基板 22 の裏面に接着剤となる絶縁樹脂材料 17 を挟んで第 2 の支持基体 14 が接着され、半導体基板 22 を第 1 及び第 2 の支持基体 12, 14 で挟持して積層体 100 が形成される。さらに、第 2 の支持基体 14 の外部表面には、後にボール状端子が配置される位置に緩衝部材 32 が設けられる。この緩衝部材 32 は、ボール状端子 18 に掛かる応力を和らげるクッションの役割を果たす。

#### 【0008】

次に、ダイシングソーを用いて、第 2 の支持基体 14 側からスクライブラインに沿って切削を行うことによって逆 V 字型の溝 34 が形成される (S16)。切削によってコンタクト部 30 の内部配線 28 も切断され、溝 34 の内面に内部配線 28 の端部 36 が露出される。

#### 【0009】

第 2 の支持基体 14 の外部表面及び溝 34 の内面に金属膜を成膜し、その金属膜をフォトリソグラフィ技術によりパターンニングすることによって外部配線 20 が形成される。外部配線 20 は、内部配線 28 の端部 36 と緩衝部材 32 との間を接続するようにパターンニングされる (S18)。

#### 【0010】

さらに、外部配線 20 上に保護膜 38 及び緩衝部材 32 上にボール状端子 18



を形成し、スクライブラインに沿って分断することによってチップサイズパッケージとして実装された半導体集積装置が完成する（S20）。

#### 【0011】

例えば、CCDイメージセンサにチップサイズパッケージを適用した場合には、半導体集積回路24側が受光面となるため、少なくとも第1の支持基体12には光学的に高い透過率を有するガラス板等の透明な材料が用いられる。また、第1の支持基体12と半導体チップ10を接着する絶縁樹脂16にも高い透過率を有するエポキシ樹脂等が用いられる。

#### 【0012】

一方、第2の支持基体14を接着するために絶縁樹脂17にエポキシ樹脂等の有機系材料を用いた場合、絶縁樹脂17と半導体基板22との熱膨張率の違いによって両者間に応力が発生する。その結果、半導体チップ10が湾曲したり、半導体集積回路24の特性が劣化したりする等の問題が発生する。そのため、半導体チップ10と第2の支持基体14とを接着する絶縁樹脂17には、有機系材料よりも熱膨張率が小さい酸化シリコン（SiO<sub>2</sub>）や酸化マグネシウム（MgO）等の粒であるフィラー（微小粒子）を混合し、全体としての熱膨張率を半導体基板22の熱膨張率に整合させて用いられる。

#### 【0013】

##### 【非特許文献1】

“PRODUCTS”、[online]、SHELLCASE社、[平成14年10月1日検索]、インターネット<URL <http://www.shellcase.com/pages/products-shell10P-process.asp>>

#### 【0014】

##### 【発明が解決しようとする課題】

しかしながら、フィラーを混合した絶縁樹脂17を用いて半導体チップ10と第2の支持基体14とを接着した場合、絶縁樹脂17の膜厚を薄くするに従って半導体集積装置に特性が劣化したり、又は、半導体集積装置が完全に破壊されてしまう問題が生じていた。

#### 【0015】

本発明は、上記従来技術の問題を鑑み、熱応力を低減すると共に特性の劣化を防いだ半導体集積装置及びその製造方法を提供することを目的とする。

【0016】

【課題を解決するための手段】

上記課題を解決できる本発明は、半導体集積回路が形成された半導体チップと、前記半導体チップの少なくとも一面に積層される支持基体とを備え、前記半導体チップと前記支持基体との間に微小粒子の混合された樹脂が充填され、前記半導体チップと前記支持基体との間隔が前記微小粒子の最大粒径よりも大きいことを特徴とする。

【0017】

このとき、前記半導体チップのうち少なくとも前記半導体集積回路が形成された素子有効領域で、前記半導体チップと前記支持基体との間隔が前記微小粒子の最大粒径よりも大きいことが好適である。

【0018】

上記課題を解決できる本発明は、半導体集積回路が形成された半導体基板の少なくとも一面に微小粒子の混合された樹脂を塗布し、前記樹脂を挟んで前記半導体基板に支持基体を積層する第1の工程と、前記半導体基板に対して前記支持基体を押し当てる第2の工程とを備え、前記第2の工程は、前記半導体基板と前記支持基体との間隔を前記微小粒子の最大粒径よりも大きく保持しつつ前記半導体基板に前記支持基体を押し当てることを特徴とする。

【0019】

また、前記第2の工程の後に、前記樹脂に熱処理を施して熱硬化させる工程をさらに有し、前記第2の工程は、前記熱硬化工程の際に前記樹脂の膜厚が収縮する収縮量と前記微小粒子の最大粒径とを合計した大きさより前記半導体基板と前記半導体支持基体との間隔を大きく保持することがより好適である。

【0020】

さらに、前記第1の工程の前に、前記半導体基板の裏面をエッチングして前記半導体基板の厚みを薄くする工程をさらに有することを好適である。

【0021】

**【発明の実施の形態】**

本発明の実施の形態について、図を参照して以下に詳細に説明する。

**【0022】****＜半導体集積装置の構造＞**

図1に、本発明の実施の形態における半導体集積装置の構造の断面図を示す。本実施の形態における半導体集積装置は、従来のチップサイズパッケージが適用された半導体集積装置と同様の構造を有している。

**【0023】**

すなわち、半導体基板22の表面上に半導体集積回路24が形成され、その半導体集積回路24上に絶縁膜26が成膜される。さらに、絶縁膜26に設けられたスルーホールを介して内部配線28が接続されて半導体チップが構成される。内部配線28は半導体チップの側面にその端部を露出しており、半導体集積回路24と外部配線20とのコンタクトに用いられる。

**【0024】**

半導体チップの表面側及び裏面側には、それぞれ第1及び第2の支持基体12、14が接着される。第2の支持基体14の外部表面には緩衝部材32が配置され、緩衝部材32上にはボール状端子18が設けられる。半導体チップの側面に露出した内部配線28の端部とボール状端子18は半導体チップの側面に形成された外部配線20によって接続される。また、外部配線20や第2の支持基体14が外部に露出しないように保護膜38が設けられる。

**【0025】**

第1の支持基体12は、従来技術と同様に、絶縁樹脂16を用いて半導体チップと接着される。例えば、半導体基板22の表面に形成された半導体集積回路24がCCDイメージセンサである場合には、第1の支持基体12には高い光透過率を有するガラス板等の透明な材料が用いられる。また、絶縁樹脂16にも高い透過率を有するエポキシ樹脂等が用いられる。

**【0026】**

一方、第2の支持基体14は、絶縁樹脂40を用いて半導体チップと接着される。絶縁樹脂40には、半導体チップに含まれる半導体基板22との熱膨張率の

差を低減するためにフィラー（微小粒子）が混合されている。

#### 【0027】

図2に、本実施の形態における半導体集積装置の構造の拡大断面図を示す。拡大断面図は図1の矩形領域Aを拡大したものであるが、説明を簡単にするために絶縁樹脂40を誇張して表示している。

#### 【0028】

絶縁樹脂40は有機系又は無機系の樹脂材料42を主材料として構成される。樹脂材料42には、酸化シリコン（ $\text{SiO}_2$ ）や酸化マグネシウム（ $\text{MgO}$ ）等の粒であるフィラー44が混合されている。フィラー44は、これらの材料に限られるものではなく、絶縁樹脂40の全体としての熱膨張率を半導体チップに含まれる半導体基板22に近づけるものであれば良い。

#### 【0029】

このとき、接着箇所の絶縁樹脂40の膜厚 $T$ が絶縁樹脂40に混合されたフィラー44の最大粒径 $D_{\text{max}}$ に対して数式（1）の条件を満たすようにする。

#### 【0030】

##### 【数1】

$$T > D_{\text{max}} \quad (1)$$

#### 【0031】

数式（1）の条件は、絶縁樹脂40が用いられた全領域において満たされることが好ましいが、特に、図1に示す半導体集積回路24が形成された有効素子領域Bにおいて、フィラー44の最大粒径 $D_{\text{max}}$ と絶縁樹脂40の膜厚 $T$ とが数式（1）の関係を満たすことがより好ましい。

#### 【0032】

##### <半導体集積装置の製造方法>

本発明の実施の形態における半導体集積装置は、図3に示すプロセスフローに沿って製造することができる。

#### 【0033】

ステップS30では、従来技術と同様に、半導体基板22の表面上に半導体集

積回路 24 が組み込まれる。半導体集積回路 24 上には酸化膜等の絶縁膜 26 が成膜され、絶縁膜 26 に設けられるスルーホールを介して内部配線 28 が接続されて半導体チップ 10 が形成される。

#### 【0034】

ステップ S32 では、スピコート等を用いて半導体基板 22 の表面に絶縁樹脂 16 を塗布し、この絶縁樹脂 16 を介して第 1 の支持基体 12 を貼り合わせ、絶縁樹脂 16 を熱硬化させる。次に、スクライブラインに沿って半導体チップ 10 の裏面側から半導体基板 22 を研削してコンタクト部 30 が形成される。半導体基板 22 の研削は、機械研磨、化学的エッチング、物理的エッチングのいずれか又はそれらの組合せによって行うことができる。

#### 【0035】

また、次の支持基体 14 を接着する工程に移行する前に、半導体チップの裏面の凹凸を低減するために接着面となる領域も研削しておくことが好ましい。ただし、機械研磨を行った場合には研磨箇所には微細な傷が発生し、その傷の凹凸によって後に支持基体 14 を接着する際に絶縁樹脂 40 の厚さを調整することが困難になったり、半導体集積回路 24 が劣化したりするため機械研磨以外の方法を用いてエッチングを行うことが好ましい。例えば、フッ化水素酸と硝酸の混合溶液である D a s h 液等を用いたウェットエッチングや六フッ化硫黄 (S F<sub>6</sub>) を用いたドライエッチング等を行うことが好ましい。

#### 【0036】

具体的には、六フッ化硫黄 (S F<sub>6</sub>) と酸素 (O<sub>2</sub>) を 250 m T o r r 程度の圧力で供給し、半導体チップ 10 に周波数 40 M H z 及び電力 2200 W の高周波 (R F) 電力を印加してエッチングを行うことができる。ここで、エッチングを高速かつ均一に行うために回転磁場を同時に印加することも好適である。この条件では、半導体基板 22 がシリコン基板である場合に約 50 μ m / 分のエッチング速度を得ることができる。

#### 【0037】

その結果、エッチングによる凹凸の発生を抑制することができ、絶縁樹脂 40 に余分な厚みを設ける必要がなくなると共に、絶縁樹脂 40 の膜厚を容易に調整

することができる。

#### 【0038】

ステップS34では、図4に示すように、半導体基板22裏面に絶縁樹脂40が塗布され、第2の支持基体14が貼り合わされる。

#### 【0039】

このステップS34の工程においては、図5に示すように、上部固定治具50及び上部固定治具50に対して平行に接地される下部固定治具52によって第1の支持基体12及び第2の支持基体14とを平行に維持しながら、半導体基板22に対して第2の支持基体14を押し当てて押圧していく。このとき、膜厚調整治具54によって上部固定治具50と下部固定治具52との間隙を調整することによって、絶縁樹脂40を所定の膜厚に規定して接着を行う。特に、後工程において絶縁樹脂40を硬化させるための熱処理を施すので、この熱処理によって絶縁樹脂40の膜厚が減少することを考慮して、絶縁樹脂40の膜厚 $T'$ を数式(2)を満たすように規定することが好適である。

#### 【0040】

##### 【数2】

$$T' \geq T + \alpha \quad (2)$$

$T$ ：熱処理後に必要な絶縁樹脂の膜厚 $> D_{max}$   
 $\alpha$ ：熱処理によって収縮する絶縁樹脂の膜厚

#### 【0041】

すなわち、絶縁樹脂40の膜厚 $T'$ を、絶縁樹脂40に含まれるフィラー44の最大粒径 $D_{max}$ より大きい膜厚 $T$ と熱処理によって収縮する絶縁樹脂40の膜厚 $\alpha$ とを足し合わせた膜厚以上とする。

#### 【0042】

より具体的には、図6に示すように、下部固定治具52側から第2の支持基体14を通して光を入射させ、第2の支持基体14と絶縁樹脂40との界面及び絶縁樹脂40と半導体チップ10との界面から反射してくる反射光の干渉を測定することによって絶縁樹脂40の膜厚を測定すると共に、膜厚調整治具54の長さ

を調整して絶縁樹脂 4 0 の膜厚を規定することができる。図 7 に、測定された反射光の干渉を測定した結果の一例を示す。干渉ピークの間隔等の反射光スペクトルにおける波長依存性から絶縁樹脂 4 0 の膜厚を測定することができる。

#### 【 0 0 4 3 】

絶縁樹脂 4 0 の膜厚はマイクロメートルの精度で調整する必要があるため、膜厚調整治具 5 4 には圧電材料からなる piezo 素子を用い、絶縁樹脂 4 0 の膜厚測定結果によるフィードバック制御を行って膜厚調整治具 5 4 の長さを調整することが好ましい。

#### 【 0 0 4 4 】

また、ガラス板等を第 1 及び第 2 の支持基体 1 2, 1 4 として用いた場合に、自重による撓みのために支持基体 1 2, 1 4 と半導体チップ 1 0 との距離が中央部分と周辺部分で相違してしまう。この撓みを防ぐために、上部固定治具 5 0 又は下部固定治具 5 2 には、第 1 の支持基体 1 2 又は第 2 の支持基体 1 4 を吸着する構造を持たせることが好ましい。例えば、上部固定治具 5 0 及び下部固定治具 5 2 に真空吸着用の孔を設けておき、第 1 及び第 2 の支持基体 1 2, 1 4 を真空吸着して平行に維持しながら半導体チップ 1 0 に貼り合わせることが好ましい。

#### 【 0 0 4 5 】

ステップ S 3 6 では、熱処理を行うことによって絶縁樹脂 1 6 及び絶縁樹脂 4 0 を硬化させ、第 1 の支持基体 1 2 及び第 2 の支持基体 1 4 と半導体チップ 1 0 とを完全に接着する。このとき、上部固定治具 5 0、下部固定治具 5 2 及び膜厚調整治具 5 4 を装着したまま熱処理を行うと、絶縁樹脂 1 6 及び絶縁樹脂 4 0 の収縮に伴って半導体チップ 1 0 や第 1 及び第 2 の支持基体 1 2, 1 4 に応力が加えられ、第 1 又は第 2 の支持基体 1 2, 1 4 の破損や半導体チップ 1 0 に形成された半導体集積回路 2 4 の破壊が引き起こされる場合がある。そこで、上部固定治具 5 0、下部固定治具 5 2 及び膜厚調整治具 5 4 を取り外して熱処理を行うことが好ましい。

#### 【 0 0 4 6 】

ステップ S 3 4 において絶縁樹脂 4 0 の膜厚  $T'$  をフィラー 4 4 の最大粒径  $D_{max}$  より大きい膜厚  $T$  と熱処理によって収縮する絶縁樹脂 4 0 の膜厚  $\alpha$  との合

計膜厚よりも大きく規定したことにより、熱処理後によって絶縁樹脂 40 が膜厚  $\alpha$  だけ収縮した場合にも、絶縁樹脂 40 の最終的な膜厚 T をフィラー 44 の最大粒径  $D_{max}$  より大きく保つことができる。

#### 【0047】

熱処理後、第 2 の支持基体 14 の外部表面に緩衝部材 32 を設け、次のステップに移行する。

#### 【0048】

ステップ S38 では、ダイシングソーを用いて第 2 の支持基体 14 側からスクライブラインに沿って切削を行うことによって、内側面に内部配線 28 の端部 36 が露出された逆 V 字型の溝 34 が形成される。ステップ S40 では、第 2 の支持基体 14 の外部表面及び溝 34 の内面に金属膜を成膜し、その金属膜をフォトリソグラフィ技術によりパターンニングすることによって外部配線 20 が形成される。最後に、ステップ S42 において、保護膜 38 及びボール状端子 18 を形成し、ダイシングソーを用いてスクライブラインに沿って分断することによって半導体集積装置が形成される。

#### 【0049】

以上によって形成される本実施の形態における半導体集積装置によれば、半導体チップと支持基体とを接着するための絶縁樹脂にフィラーを混合した場合においても半導体集積装置に特性が劣化したり、半導体集積装置が完全に破壊されてしまう問題を防ぐことができる。同時に、半導体集積装置の熱応力を低減することもできる。

#### 【0050】

これらの効果は、絶縁樹脂に含まれるフィラーの最大粒径よりも絶縁樹脂の膜厚を大きくすることによって、1 つのフィラーが支持基体と半導体チップとに同時に接触することがなくなり、支持基体からの加圧によってフィラーと半導体チップとの接触点に対してフィラーが押し付けられて生ずる応力集中がなくなるために得られるものと推量される。

#### 【0051】

#### 【発明の効果】



本発明によれば、半導体集積装置に生ずる熱応力を低減すると共に特性の劣化を防ぐことができる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態における半導体集積装置の構造の断面図である。

【図 2】 本発明の実施の形態における半導体集積装置の絶縁樹脂部分を拡大した断面図である。

【図 3】 本発明の実施の形態における半導体集積装置のプロセスフロー図である。

【図 4】 本発明の実施の形態における支持基体の予備的な接着工程を説明する図である。

【図 5】 本発明の実施の形態における絶縁樹脂の膜厚の調整を説明する図である。

【図 6】 本発明の実施の形態における絶縁樹脂の膜厚の測定方法を説明する図である。

【図 7】 絶縁樹脂の膜厚の測定において得られる反射光の干渉の様子を示す図である。

【図 8】 チップサイズパッケージに実装された半導体集積装置の概観を示す図である。

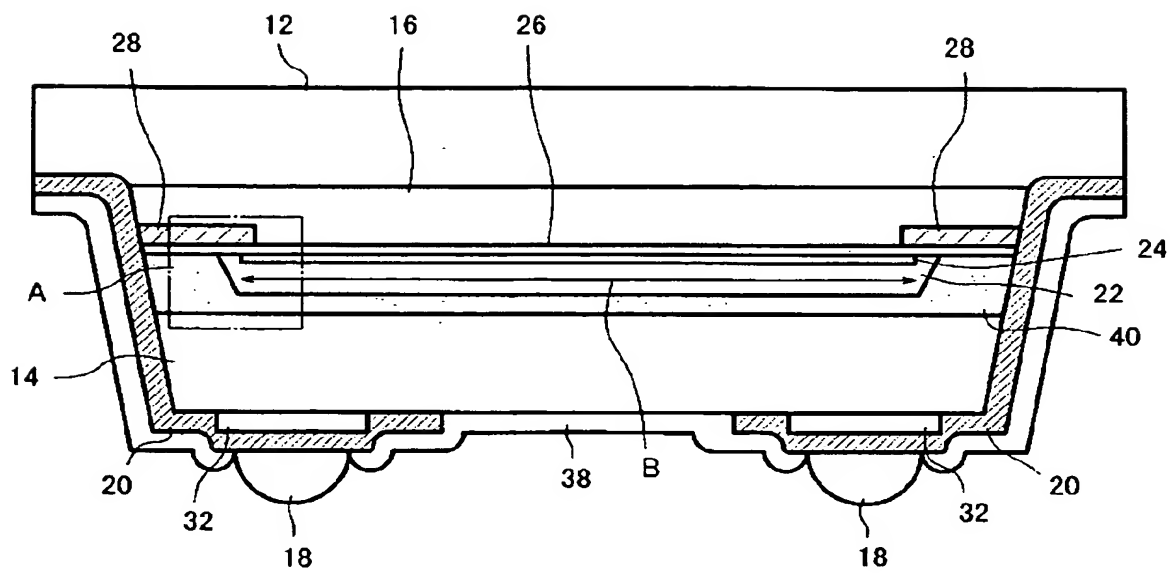
【図 9】 従来の半導体集積装置のプロセスフロー図である。

【符号の説明】

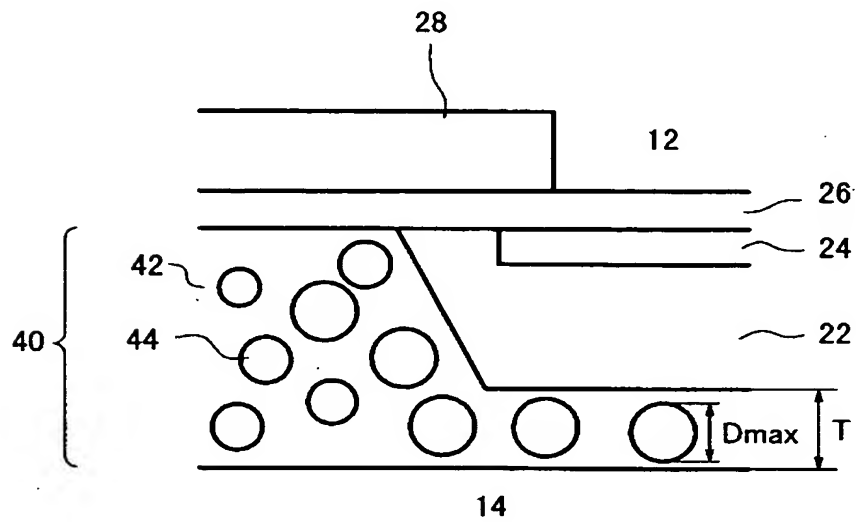
1 0 半導体チップ、1 2 第 1 の支持基体、1 4 第 2 の支持基体、1 6 ,  
1 7 絶縁樹脂、1 8 ボール状端子、2 0 外部配線、2 2 半導体基板、  
2 4 半導体集積回路、2 6 絶縁膜、2 8 内部配線、3 0 コンタクト部、  
3 2 緩衝部材、3 4 溝、3 6 端部、3 8 保護膜、4 0 絶縁樹脂  
、4 2 樹脂材料、4 4 フィラー、5 0 上部固定治具、5 2 下部固定治具  
、5 4 膜厚調整治具、1 0 0 , 2 0 0 積層体。

【書類名】 図面

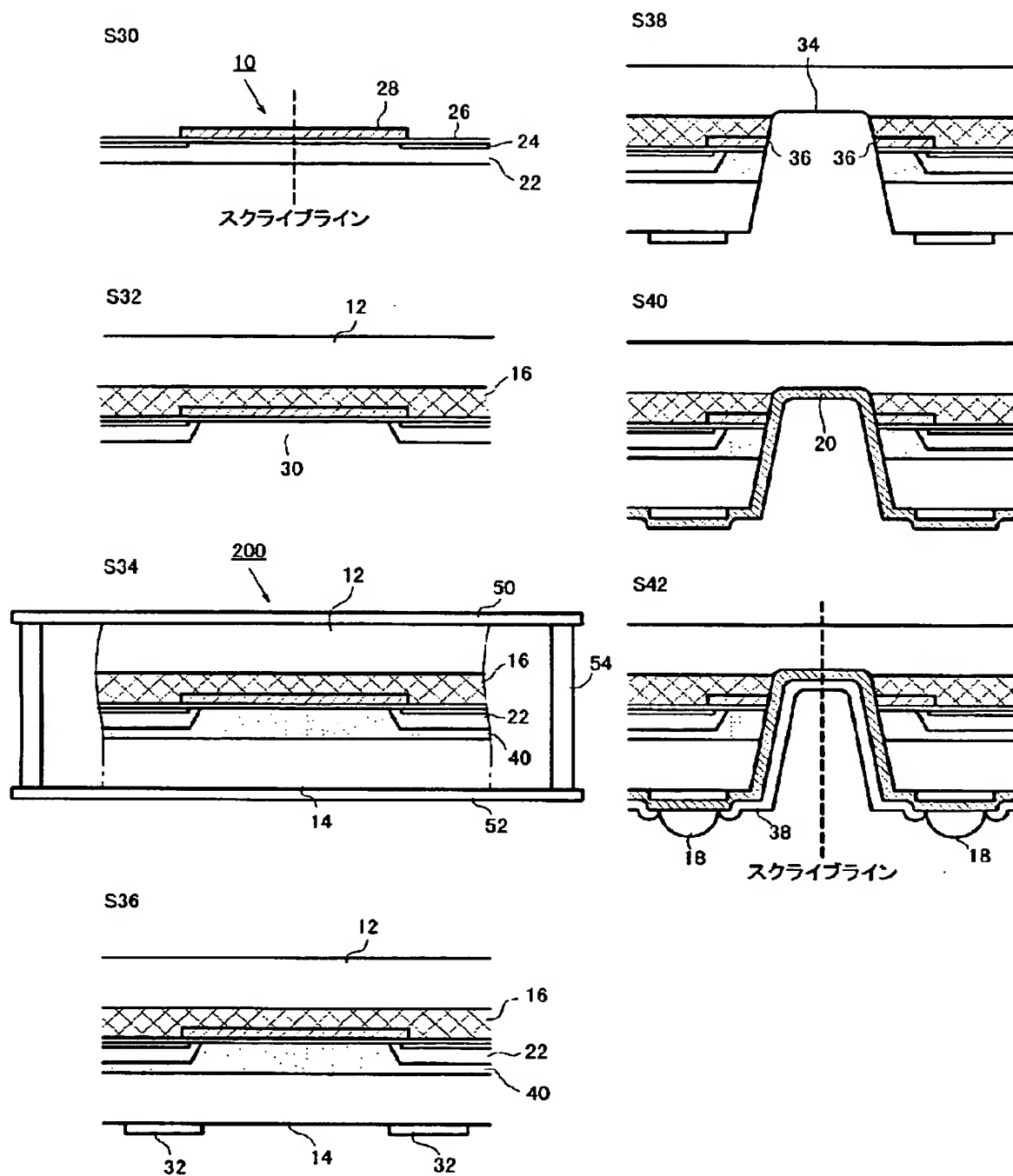
【図 1】



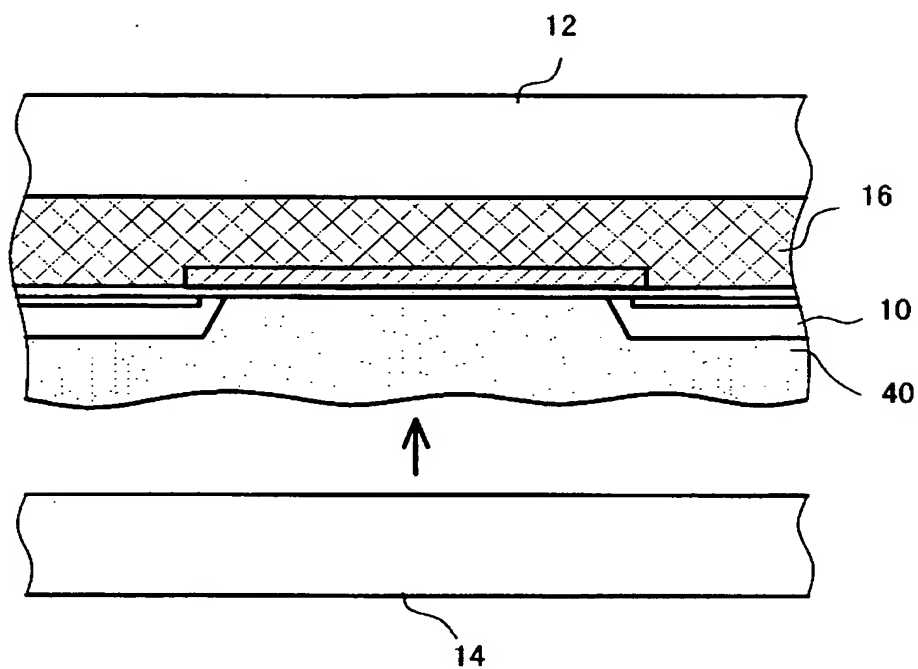
【図 2】



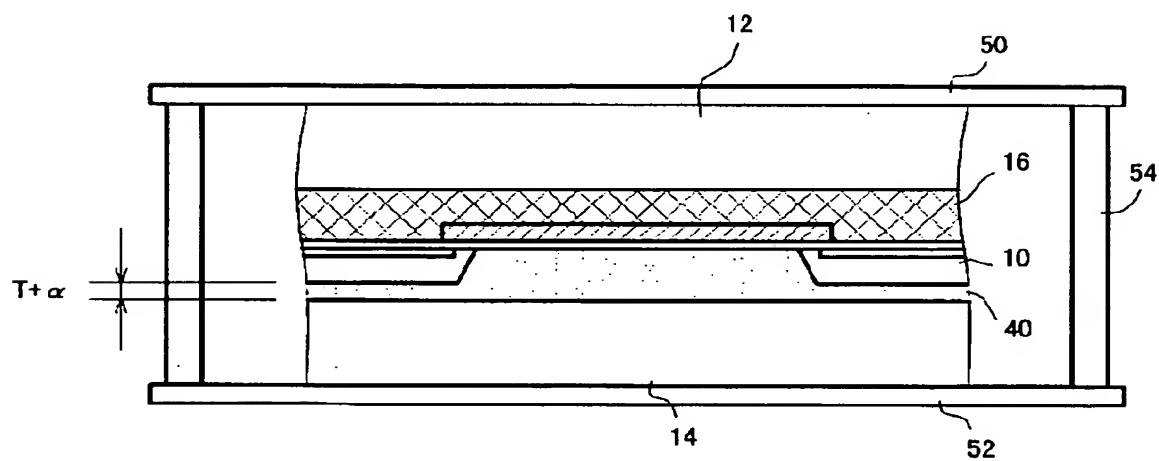
【図 3】



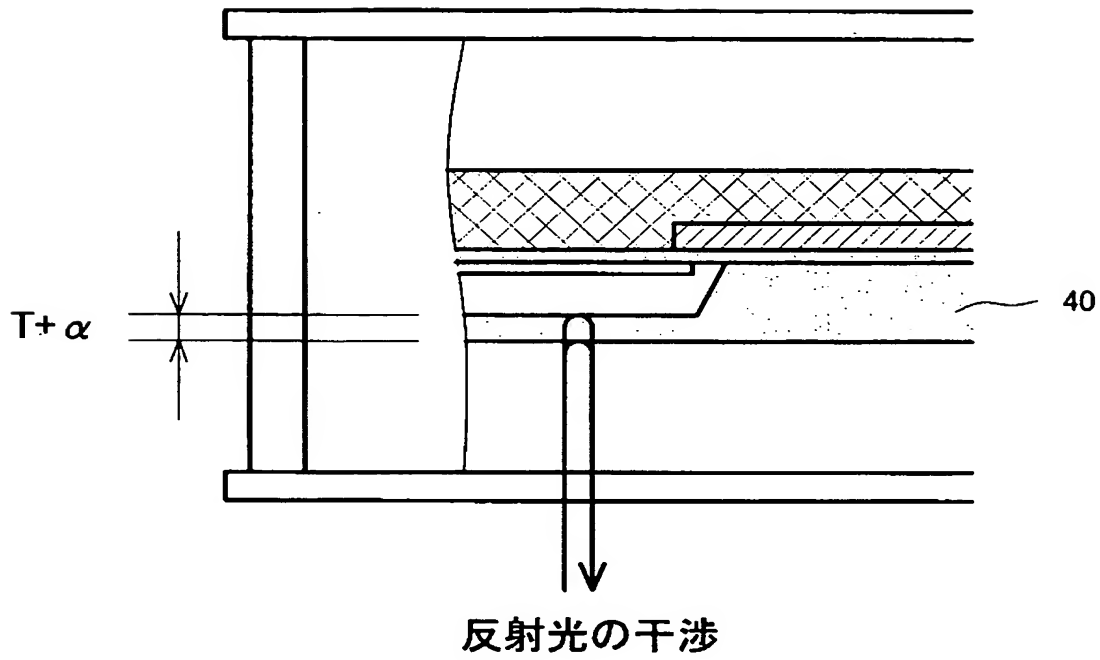
【図 4】



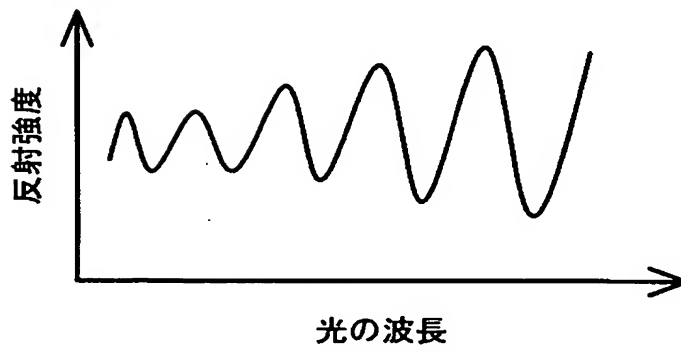
【図 5】



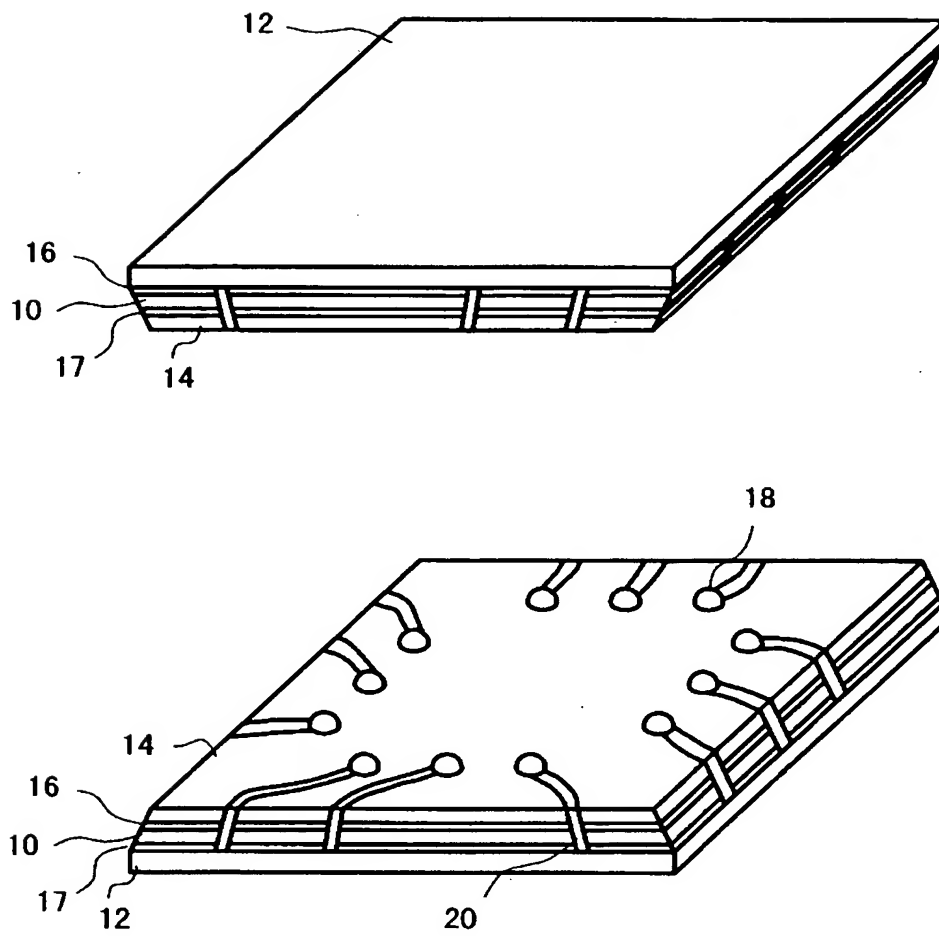
【図 6】



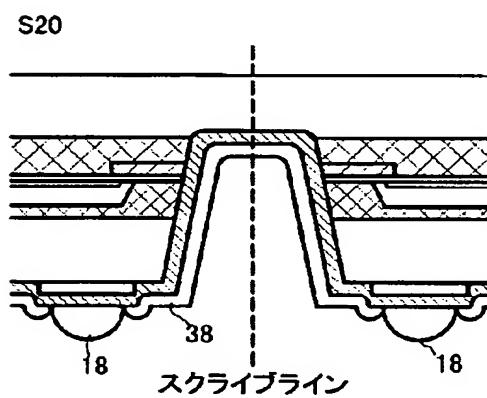
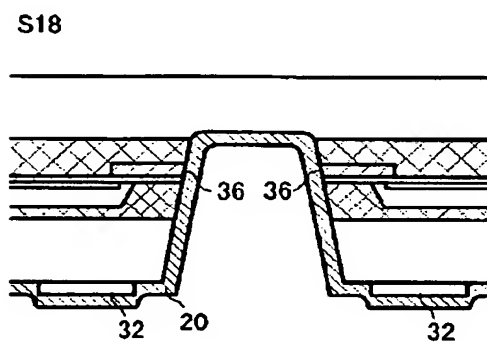
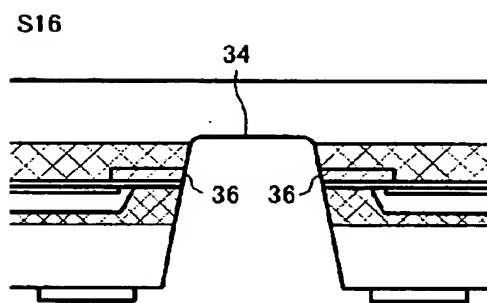
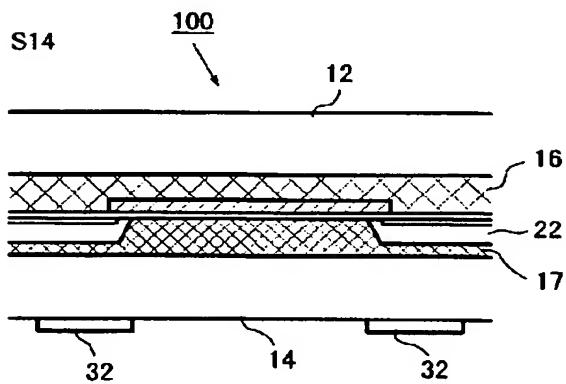
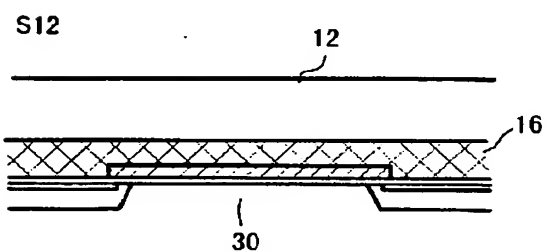
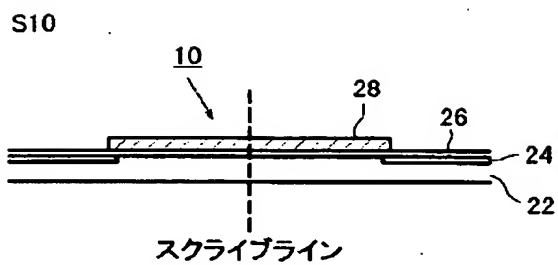
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 熱応力を低減すると共に特性の劣化を防いだ半導体集積装置を提供する。

【解決手段】 半導体集積回路が形成された半導体チップと、半導体チップの少なくとも一面に接着された支持基体 1 4 とを含み、半導体チップと支持基体 1 4 とは粒状のフィラーが混合された樹脂 4 0 によって接着され、樹脂 4 0 の最小膜厚がフィラーの最大粒径よりも大きい半導体集積装置によって上記課題を解決できる。

【選択図】 図 1



特願 2 0 0 3 - 0 2 9 9 5 7

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 1 8 8 9 ]

1. 変更年月日	1 9 9 3 年 1 0 月 2 0 日
[変更理由]	住所変更
住 所	大阪府守口市京阪本通 2 丁目 5 番 5 号
氏 名	三洋電機株式会社